

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

FOLEDO518

(11)Publication number : 10-084259

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

H03K 5/02
G09G 3/36
H01L 27/08
H01L 29/786
H03K 5/151
H03K 19/0185
H03K 19/0948

(21)Application number : 08-237587

(71)Applicant : NEC CORP

(22)Date of filing : 09.09.1996

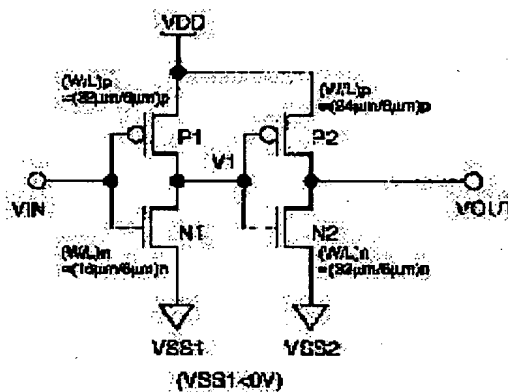
(72)Inventor : ASADA HIDEKI

(54) LEVEL SHIFT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the level shift circuit that is able to respond at a high speed to an input signal with 5V / 3.3V which is usually used for an external signal processing circuit even when transistors (Tress) with a high threshold voltage such as polycrystal silicon thin film TR are in use.

SOLUTION: Two stages of CMOS inverter circuits are connected in cascade and a drive voltage VDD for the CMOS inverter circuits is selected higher than an input signal voltage VIN. In the circuits, a ground level VSSI of the 1st stage CMOS inverter circuit is selected to be a negative voltage so as to set the threshold voltage of the last stage CMOS inverter circuit lower than 5V or 3.3V. In this case, the sum of absolute values of the respective threshold voltages of NMOS TRs N1,N2 and PMOS TRs P1,P2 being components of the 2 stage CMOS inverter circuits is larger than the level of the input signal voltage.



LEGAL STATUS

[Date of request for examination] 09.09.1996

[Date of sending the examiner's decision of rejection] 16.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3179350

[Date of registration] 13.04.2001

[Number of appeal against examiner's decision of rejection] 11-05813

[Date of requesting appeal against examiner's decision of rejection] 14.04.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平10-84259

(43)公開日 平成10年(1998)3月31日

(51)Int.Cl.*	識別記号	件内整理番号	FI	技術表示箇所
H03K 5/02			H03K 5/02	L
G09G 3/36			G09G 3/36	
H01L 27/08	331		H01L 27/08	331E
	29/788			613A
H03K 5/151			H03K 5/15	C
審査請求 有 請求項の数 5 OL (全 9 頁) 最終頁に図く				

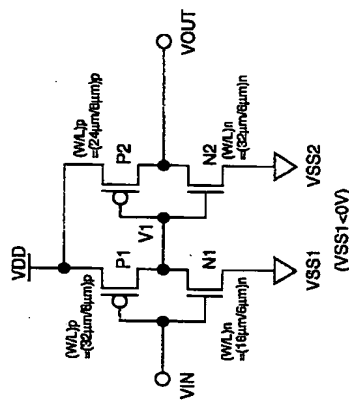
(21)出願番号	特願平8-237587	(71)出願人	00004237 日本電気株式会社
(22)出願日	平成8年(1996)9月9日	(72)発明者	東京都港区芝五丁目7番1号 浅田 秀樹
		(74)代理人	東京都港区芝五丁目7番1号 日本電気株 式会社内 井理士 京本 直樹 (外2名)

(54)【発明の名称】 レベルシフト回路

(57)【要約】

【課題】 多結晶シリコン薄膜トランジスタのような閾値電圧が高いトランジスタを用いても、外部信号処理回路で通常用いられている5V、3.3Vの入力信号に対して、高速に応答することができるレベルシフト回路を提供する。

【解決手段】 CMOSインバータ回路をカスケードに2段接続し、そのCMOSインバータ回路の駆動電圧VDDを入力信号電圧VINよりも高くする。この回路において、初段CMOSインバータ回路のグランドレベルVSS1を負電圧に設定することにより、初段CMOSインバータ回路の閾値電圧を5V、あるいは3.3Vよりも低くすることができる。この際、2段のCMOSインバータ回路を構成しているNMOSTランジスタN1、N2と、PMOSTランジスタP1、P2のそれぞれの閾値電圧の絶対値の和は、入力信号電圧の振幅よりも大きい。



【特許請求の範囲】

【請求項1】 カスケード接続された2段のCMOSインバータ回路からなるレベルシフト回路であって、そのCMOSインバータ回路の駆動電圧が入力信号電圧よりも高く、かつ、初段CMOSインバータ回路のグランドレベルが負電圧であることを特徴とするレベルシフト回路。

【請求項2】 カスケード接続された2段のCMOSインバータ回路からなるレベルシフト回路であって、そのCMOSインバータ回路の駆動電圧が入力信号電圧よりも高く、かつ、初段CMOSインバータ回路のグランドレベルが負電圧であり、かつ、その2段のCMOSインバータ回路を構成しているNMOSTランジスタとPMOSTランジスタのそれぞれの閾値電圧の絶対値の和が、入力信号電圧の振幅よりも大きいことを特徴とするレベルシフト回路。

【請求項3】 請求項1、または2に記載のレベルシフト回路において、初段CMOSインバータ回路を構成しているNMOSTランジスタとPMOSTランジスタの利得係数の比の値が1よりも大きいことを特徴とするレベルシフト回路。

【請求項4】 請求項1、または2、または3に記載のレベルシフト回路において、その出力端子が、クロック信号出力回路または制御信号出力回路の入力端子に接続されていることを特徴とするレベルシフト回路。

【請求項5】 CMOSインバータ回路が、nチャネルおよびpチャネルの多結晶シリコン薄膜トランジスタからなることを特徴とする請求項1から4のいずれかに記載のレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶ディスプレイ、密着型イメージセンサ等の周辺駆動回路に用いられるレベルシフト回路に関するものである。

【0002】

【従来の技術】 液晶表示装置の小型化、低コスト化を阻んで、液晶表示基板と同じ基板上に周辺駆動回路を構築する技術の開発が進んでいる。周辺駆動回路は、アクティブマトリクスアレイを形成する薄膜トランジスタ(以下TFTと記す。)のゲートを走査する垂直駆動回路と、ビデオ信号をデータバスラインに供給する水平駆動回路に分けられる。これら周辺駆動回路は、通常、多結晶シリコン薄膜トランジスタ(以下p-Si TFTと記す。)を構築して形成される。

【0003】 このようなp-Si TFT駆動回路一体型液晶ディスプレイにおいては、より小型で低コストな液晶表示装置とするために、外部信号処理/駆動回路とのインタフェースをできるだけ簡略化することが望ましい。そのため、通常、p-Si TFT駆動回路には、5V、あるいは3.3Vのクロック信号が入力される。し

かしながら、p-Si TFTの駆動能力は、単結晶シリコンMOSTランジスタに比べて低いところにあるため、例えばシフトレジスタ回路等を5V、あるいは3.3Vのクロック信号で駆動した場合、液晶ディスプレイを駆動するのに十分なスピードを得ることができないのが現状である。そのため、5V、あるいは3.3Vのクロック信号を昇圧するレベルシフト回路をクロック信号入力部に設けて、7~20Vのクロック信号でp-Si TFT駆動回路を駆動する形態がとられている。そのような形態をとる場合、外部信号処理/駆動回路とp-Si TFT駆動回路のインタフェース回路となるレベルシフト回路が重要な回路要素となる。また、レベルシフト回路は、クロック信号の昇圧だけでなく、シフトレジスタ回路の出力をレベル変換する際にも必要不可欠な回路となっている。

【0004】 図10は、従来用いられてきたレベルシフト回路の構成を示したものである。図において、N5、N6、N7はNMOSTランジスタ、P5、P6、P7はPMOSTランジスタである。NMOSTランジスタN5、N6、N7のソース電極は、グランド電源VSS3に接続されている。VSS3には通常0Vが印加される。一方、PMOSTランジスタP5のソース電極は第1の電源VDD1に接続され、PMOSTランジスタP6、P7は第2の電源VDD2に接続されている。ここで、NMOSTランジスタN6、N7のチャネル幅は、回路スピードを向上させるために、通常PMOSTランジスタP6、P7のチャネル幅に比べて10倍程度大きく設計される。たとえば、PMOSTランジスタP6、P7のサイズ(チャネル幅/チャネル長)が(W/L)p=(24μm/6μm)の場合には、NMOSTランジスタN6、N7のサイズは(W/L)n=(240μm/6μm)に設計される。

【0005】 このレベルシフト回路に、電圧レベルVDD1の入力信号VINが入力された時の回路の動作は以下の通りである。

【0006】 まず、入力信号VINがローレベル、すなわち電圧レベルVSS3(=0V)の時、NMOSTランジスタN6およびPMOSTランジスタP7はオフ状態、NMOSTランジスタN7およびPMOSTランジスタP6はオン状態となる。その結果、レベルシフト回路の出力VOUTは、ローレベル(VSS3=0V)となる。逆に、入力信号VINがハイレベル、すなわち電圧レベルVDD1になると、NMOSTランジスタN6およびPMOSTランジスタP7はオン状態、NMOSTランジスタN7およびPMOSTランジスタP6はオフ状態となる。その結果、レベルシフト回路の出力VOUTは、ハイレベル電圧VDD2となる。このようにして、電圧振幅VDD1の入力信号VINを、電圧振幅VDD2の出力信号VOUTにレベル変換することができ

より、5Vのディジタル信号を1.2Vのディジタル信号に昇圧できていることがわかる。

【0024】NMOSTランジスタとPMOSTランジスタの閾値電圧の絶対値の和が、入力電圧の振幅より小さい場合、CMOS動作が可能となるので、図10に示した従来のレベルシフト回路を利用することができる。しかしながら、本発明のレベルシフト回路においては、NMOSTランジスタN1、N2のサイズを従来のレベルシフト回路を構成しているNMOSTランジスタN6、N7に比べて1/10程度に小さくできるので、回路面積を小さくでき、高速、高歩留まり化を図る上で有利である。

【0025】上記2つの実施例では、ハイレベル電圧VDDを1.2Vとしたが、入力電圧VINよりも大きい電圧であれば、特に限定しない。また、上記2つの実施例においては、2段目CMOSインバータ回路のグランドレベルVSS2を0Vとしたが、2段目CMOSインバータ回路がスイッチングできる電圧であれば、VSS2は特に限定しない。たとえば、VSS2を1Vや2V等の正電圧に設定しても良いし、-1Vや-2Vの負電圧に設定しても良い。このVSS2の値は、本レベルシフト回路で昇圧された電圧で駆動される走査回路や、サンプルホールド回路等の周辺駆動回路の駆動電圧条件に合わせて設定してやれば良い。

【0026】また、上記2つの実施例では、MOSTランジスタとしてp-Si TFTを採用したが、他の薄膜トランジスタ、例えばアモルファスシリコン(a-SiTFT)や、カドミウムセレン(CdSe)TFT等を用いても良い。

【0027】以上説明したように、NMOSTランジスタとPMOSTランジスタの閾値電圧の絶対値の和が、 $4.8V (= 2.4V - (-2.4V))$ と、入力電圧5Vより小さい場合においても、汎用性の高いレベルシフト回路を実現することができる。

$$\beta n / \beta p = 8$$

図7の入出力電圧特性に示すように、VSS1を負側に大きくしていくにつれて、初段CMOSインバータ回路の閾値電圧が小さくなっていくことがわかる。ここで、本実施例では、NMOSTランジスタのサイズが、第1の実施例の形態の場合よりも大きく設計されているため、CMOSインバータ回路の閾値電圧が、より負方向にシフトしており、VSS1=-4Vにおいて、CMOSインバータ回路の閾値電圧が3.3Vよりも低くなっている。VSS1=-4Vの電圧条件において、ローレベル電圧0V、ハイレベル電圧3.3Vのディジタル信号を入力した場合、初段CMOSインバータ回路の動作点は、図7の黒丸で示したポイントとなる。すなわち、入力電圧が0V、3.3Vの時、出力電圧はそれぞれ2V、-3.8Vとなる。この出力電圧が、2段目CMOSインバータ回路の入力信号となるので、2段目CMOSインバータ回路には、ローレベル電圧-3.8V、

フト回路として適用することができる。

【0028】次に、本発明のレベルシフト回路の第2の実施例の形態について説明する。

【0029】図6は、第2の実施例の形態のレベルシフト回路の一例を示したものである。図に示すように、第2の実施例の形態は、第1の実施例の形態と同様に、同様の形態が、初段CMOSインバータ回路を構成しているNMOSTランジスタのサイズが異なる。すなわち、第1の実施例の形態では、そのNMOSTランジスタのサイズは、図1に示したように、 $(W/L) n = 1.6 \mu m / 6 \mu m$ で設計されているが、第2の実施例の形態では、 $(W/L) n = 1.28 \mu m / 6 \mu m$ と大きく設計されている。

【0030】この回路の動作について、以下詳細に説明する。図6に示したレベルシフト回路において、VDDを1.2Vにして、VSS1を0V、-4V、-7Vと変化した場合、初段CMOSインバータ回路の入出力電圧特性は、図7のようになる。この際、MOSTランジスタとして、第1の実施例の形態と同様、p-SiTFTを採用しており、NMOSTランジスタN3、N4の閾値電圧、電界効果移動度は、それぞれ、5V、4.0cm²/V・secである。一方、PMOSTランジスタP3、P4の閾値電圧、電界効果移動度は、それぞれ、-5V、20cm²/V・secである。また、初段CMOSインバータ回路を構成しているPMOSTランジスタおよびNMOSTランジスタのサイズは、前述のように、それぞれ、 $(W/L) p = 3.2 \mu m / 6 \mu m$ 、 $(W/L) n = 1.28 \mu m / 6 \mu m$ となっており、式(1)、(2)で与えられるNMOSTランジスタとPMOSTランジスタの利得係数の比の値は8となっている。

【0031】

(4)

ハイレベル電圧1.2Vのディジタル信号が入力されることになる。その場合、2段目CMOSインバータ回路は、十分スイッチングすることができ、その出力電圧は、それぞれ1.2V、0Vとなる。

【0032】図8は、図6に示した本発明のレベルシフト回路に、VSS1=-4V、VSS2=0V、VDD=1.2Vの条件下で、3.3Vのディジタル信号VINを入力した時の出力波形VOUTを示したものである。また、初段CMOSインバータ回路の出力波形V2も合わせて示されている。この出力波形より、本レベルシフト回路を用いて、VSS1=-4Vの条件下で、3.3Vのディジタル信号を1.2Vのディジタル信号に昇圧できていることがわかる。ここで、初段CMOSインバータ回路の出力V2は、前述のように、ローレベル電圧-3.8V、ハイレベル電圧1.2Vのディジタル信号となっている。

【0033】本実施例においては、NMOSTランジスタとPMOSTランジスタの利得係数の比の値を8としたが、VSS1に供給できる電源電圧を考慮して、1よりも大きい、それ以外の値で設計しても良い。利得係数の比の値を大きくすればするほど、より小さい負の電源電圧VSS1で、レベル変換することができ、入力電圧VIN=0Vの時に流れるリーク電流が大きくなるため、許容できる消費電力を越えない範囲で利得係数の比の値を決定する必要がある。

【0034】また、本実施例では、ハイレベル電圧VDDを1.2Vとしたが、入力電圧VINよりも大きい電圧であれば、特に限定しない。また、本実施例においては、2段目CMOSインバータ回路のグランドレベルVSS2を0Vとしたが、2段目CMOSインバータ回路がスイッチングできる電圧であれば、VSS2は特に限定しない。たとえば、VSS2を1Vや2V等の正電圧に設定しても良いし、-1Vや-2V等の負電圧に設定しても良い。このVSS2の値は、本レベルシフト回路で昇圧された電圧で駆動される走査回路や、サンプルホールド回路等の周辺駆動回路の駆動電圧条件に合わせて設定してやれば良い。

【0035】また、本実施例では、MOSTランジスタとしてp-Si TFTを採用したが、他の薄膜トランジスタ、例えばアモルファスシリコン(a-SiTFT)や、カドミウムセレン(CdSe)TFT等を用いても良い。

【0036】以上説明したように、第2の実施例の形態のレベルシフト回路においては、初段CMOSインバータ回路のグランド電圧VSS1が、第1の実施例の形態よりも小さい条件で、3.3Vのディジタル信号を1.2Vのディジタル信号にレベル変換することができ、

【0037】図9は、本発明のレベルシフト回路の形態の一例を示した図である。外部信号処理/駆動回路から送られてくるクロック信号CLKを本発明のレベルシフト回路901で受け、その出力端子903がクロックジェネレータ902の入力端子904に接続された構成となっている。このような構成をとることで、回路を構成しているMOSTランジスタの閾値電圧が5Vと高い場合においても、3.3Vのクロック信号から、1.2Vの2相クロック信号φ、φを生成することができ、ここで生成されたクロック信号は、電源電圧1.2Vで動作する走査回路等の液晶ディスプレイ周辺駆動回路に供給される。

【0038】本発明のレベルシフト回路は、この他に、液晶ディスプレイ周辺駆動回路の制御信号、たとえば、

デューダ回路のアドレス制御信号や、走査回路のインバータ信号や、サンプルホールド回路のリセット信号等のレベル変換回路として広く利用することができる。

【0039】

【発明の効果】本発明のレベルシフト回路を適用することにより、NMOSTランジスタとPMOSTランジスタの閾値電圧の絶対値の和が、入力電圧の振幅より大きい場合においても、5V、あるいは3.3Vのディジタル信号をレベル変換することが可能となる。また、NMOSTランジスタとPMOSTランジスタの閾値電圧の絶対値の和が、入力電圧の振幅より小さい場合にも、本発明のレベルシフト回路を適用することができる。その場合には、従来のレベルシフト回路を構成することができ、高速、高歩留まりのレベルシフト回路を構成することができる。以上の効果により、外部信号処理/駆動回路とのインタフェースが簡略化され、液晶表示装置の小型、低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明のレベルシフト回路の実施の形態を示す図である。

【図2】本発明のレベルシフト回路を構成しているCMOSインバータ回路の特性を示す図である。

【図3】本発明のレベルシフト回路の動作波形を示す図である。

【図4】本発明のレベルシフト回路を構成しているCMOSインバータ回路の特性を示す図である。

【図5】本発明のレベルシフト回路の動作波形を示す図である。

【図6】本発明のレベルシフト回路の他の実施の形態を示す図である。

【図7】本発明のレベルシフト回路を構成しているCMOSインバータ回路の特性を示す図である。

【図8】本発明のレベルシフト回路の動作波形を示す図である。

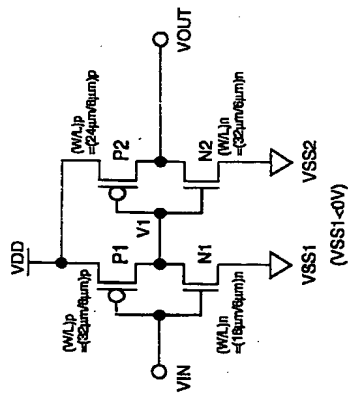
【図9】本発明のレベルシフト回路の利用形態の一例を示す図である。

【図10】従来のレベルシフト回路の構成を示す図である。

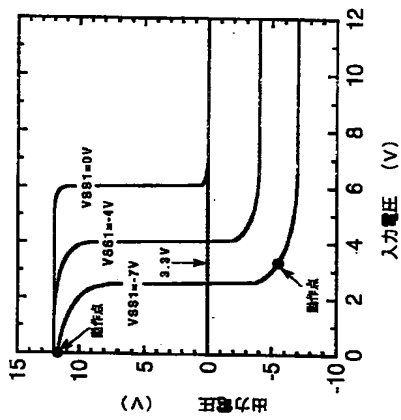
【符号の説明】

- 901 レベルシフト回路
- 902 クロックジェネレータ
- 903 出力端子
- 904 入力端子

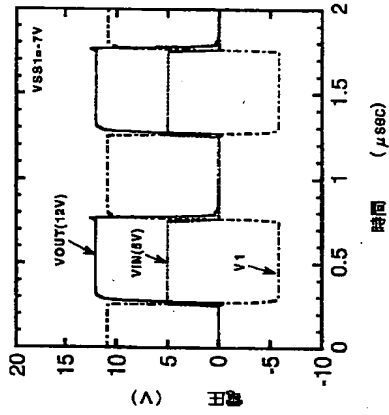
【図1】



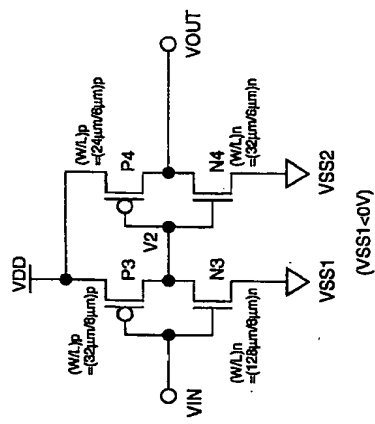
【図2】



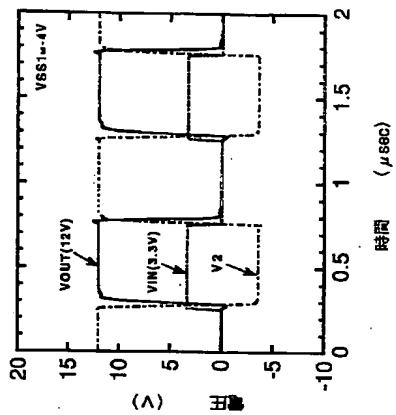
【図5】



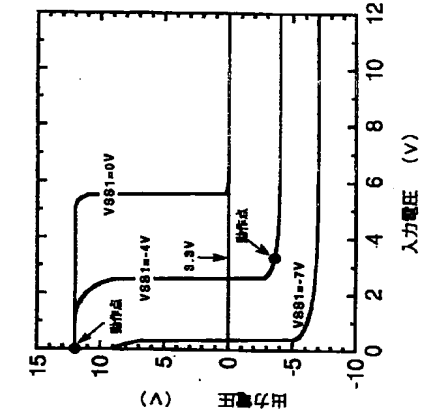
【図6】



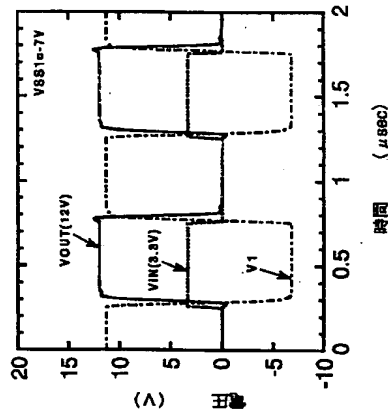
【図8】



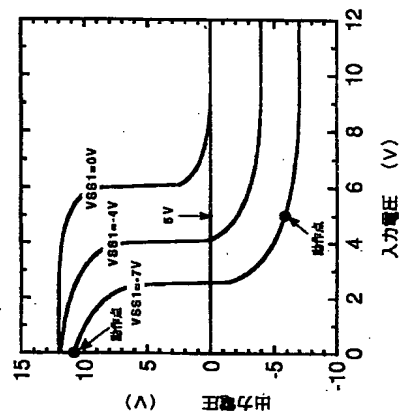
【図7】



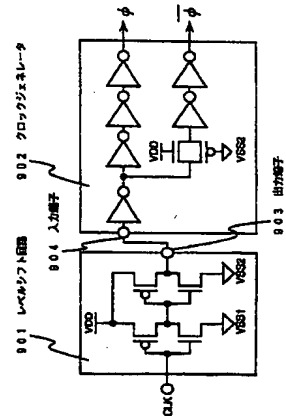
【図3】



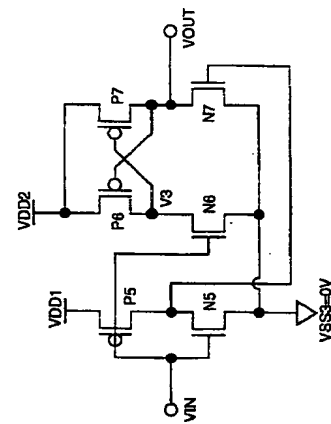
【図4】



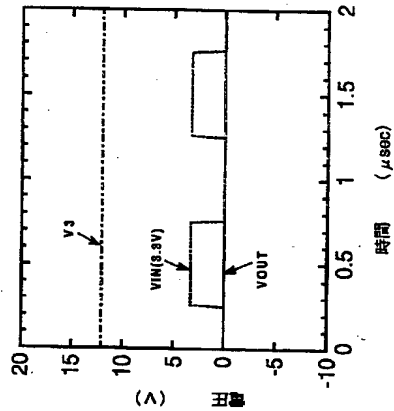
【図9】



【図10】



【図11】



フロントページの続き

(51)Int. Cl. 6
H 0 3 K 19/0185
19/0948

識別記号 片内整理番号

H 0 3 K 19/00 101D
19/094 19/094 B

技術表示箇所